

CALCOLATORI ELETTRONICI B – 25 gennaio 2011

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si consideri il seguente frammento di codice MIPS:

I₁: lw \$s0, 20(\$t1)

I₂: sub \$s1, \$t1, \$t1

I₃: add \$t1, \$s0, \$s1

I₄: lw \$t1, 20(\$t1)

I₅: sw \$t1, 20(\$s0)

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

a) individuare in modo preciso tutte le dipendenze tra i dati

b) tracciare il diagramma temporale delle istruzioni (indicando esplicitamente le eventuali propagazioni e, per ognuna di esse, quale dato è propagato) in ognuna delle seguenti ipotesi:

- non è disponibile alcuna unità di propagazione

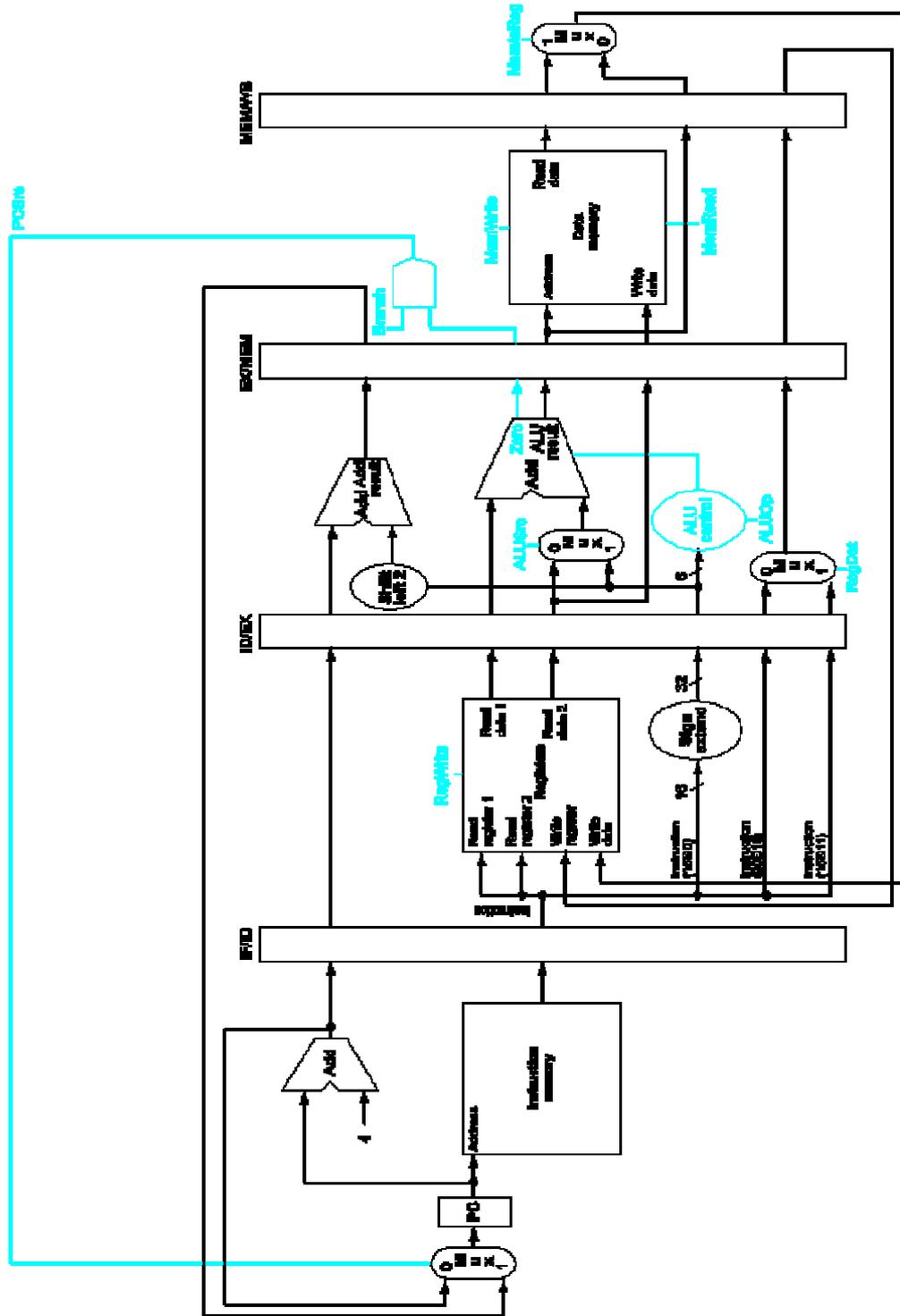
- è disponibile un'unità di propagazione verso lo stadio E

- è disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Nei diagrammi, si chiede di indicare il numero di cicli di penalità.

[6]

2. Si consideri, nell'esercizio precedente, il caso in cui è disponibile un'unità di propagazione solo verso E. Considerando il ciclo di clock in cui l'istruzione I_3 (*add \$t1, \$s0, \$s1*) si trova nello stadio E, si indichi nella seguente figura:
- in quali stadi della pipeline si trovano le istruzioni I_1, \dots, I_5 del programma;
 - come viene realizzata (schematicamente) l'unità di propagazione nello stadio E – indicare in particolare i multiplexer che consentono la propagazione verso la ALU;
 - quali registri vengono propagati verso l'istruzione I_3 e qual è il loro percorso (sorgente - destinazione)
- [5]



3. Si consideri un processore MIPS implementato tramite pipeline a 5 stadi, per la quale si utilizza un hardware che richiede i seguenti tempi di esecuzione:

- prelievo istruzione e accesso alla memoria dati: 2 ns
- lettura e scrittura Register File: 1 ns
- Operazione ALU, decodifica: 2 ns

Si assuma un carico di lavoro che prevede la seguente distribuzione delle istruzioni MIPS:

lw:	20 %
sw:	20 %
Tipo-R:	40 %
beq:	15 %
j:	5 %

Si supponga inoltre che:

- il 30% delle istruzioni Tipo-R siano seguite da istruzioni che ne utilizzano il risultato;
- il 20% delle istruzioni lw siano seguite da istruzioni Tipo-R che ne utilizzano il risultato;
- il 10% delle istruzioni lw siano seguite da istruzioni sw che ne utilizzano il risultato per il calcolo dell'indirizzo;
- il 15 % delle istruzioni lw siano seguite da istruzioni sw che ne utilizzano il risultato per immagazzinarlo in memoria.

[NB: per semplicità, si trascuri il caso in cui una sw utilizza il risultato della lw sia per il calcolo dell'indirizzo sia per immagazzinarlo in memoria]

Trascurando le criticità strutturali e le criticità sui salti (ovvero, considerando solo le criticità sui dati), si calcoli il tempo medio di esecuzione nei due casi seguenti:

- disponendo di un'unità di propagazione solo verso lo stadio E
- disponendo di un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Si giustificino brevemente le risposte fornite.

[4]

4. Si consideri l'implementazione del processore con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back) che utilizza la predizione dinamica sui salti mediante BPB (Branch Prediction Buffer). Si ricorda che il BPB contiene la statistica utilizzata per la predizione dei salti condizionati ma non l'indirizzo di destinazione predetto. Per i salti condizionati, si ipotizzi in particolare che:
- il calcolo dell'indirizzo di destinazione sia effettuato nello stadio D
 - la condizione di salto sia valutata nello stadio E

Si consideri il seguente frammento di codice MIPS:

```
    beq  $s0, $s1, Dest
    add  $t0, $t1, $t2
    ...
Dest: add  $t0, $t0, $t1
    sub  $t3, $t0, $t0
```

Si chiede di tracciare il diagramma temporale delle istruzioni nell'ipotesi in cui il BPB preveda per l'istruzione beq che il salto venga effettuato ma la predizione sia errata (ovvero il salto in realtà non venga effettuato) e di indicare il numero di cicli di penalità. [4]

5. Con riferimento alla gestione della memoria virtuale e all'utilizzo di un TLB schematizzato nella figura seguente, si chiede di:
- illustrare brevemente lo scopo del TLB (max 4-5 righe);
 - descrivere il significato del bit di validità del TLB;
 - giustificando la risposta, dire se nel cambio di contesto tra due processi distinti è necessario invalidare (ovvero, rendere invalidi) gli elementi del TLB;
 - giustificando la risposta, dire se nel cambio di contesto tra due processi distinti è necessario invalidare (ovvero, rendere invalidi) i blocchi della memoria cache che si riferiscono alle pagine fisiche riferite nel TLB;
- [4]

TLB

bit di validità	Numero di pagina virtuale	Numero di pagina fisica
1
0
..
..

6. Descrivere sinteticamente il meccanismo di arbitraggio Daisy-Chain per i bus. Da che cosa dipende la priorità dei dispositivi? [3]

7. Indicare le principali differenze tra bus sincroni e bus asincroni. Individuare inoltre per ciascuna delle due tipologie di bus un contesto di applicazione adatto al suo utilizzo, indicandone le motivazioni. [4]

